

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-122656

(43)Date of publication of application : 12.05.1995

(51)Int.Cl.

H01L 21/8247

H01L 29/788

H01L 29/792

(21)Application number : 05-264952

(71)Applicant : SANYO ELECTRIC CO LTD

(22)Date of filing : 22.10.1993

(72)Inventor : SAKAMURA SHOJI

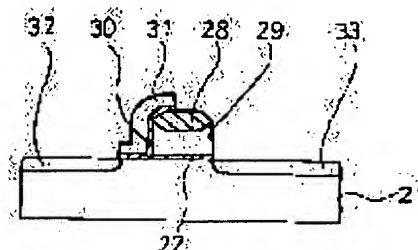
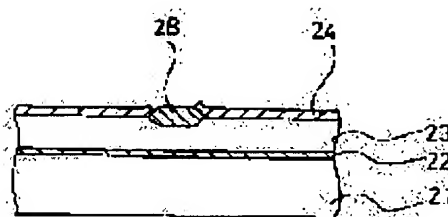
## (54) FABRICATION OF SEMICONDUCTOR DEVICE

(57)Abstract:

**PURPOSE:** To make uniform the side face profile of a floating gate by not removing an anti-oxidation film but employing it, along with a selective oxidation film, as a mask in the etching process for forming the floating gate.

**CONSTITUTION:** A first semiconductor film 23 and an anti-oxidation film are formed on a semiconductor layer 21. An opening is then made through the anti-oxidation film 24 and the surface of the first semiconductor film 23 exposed through the opening is thermally oxidized using the anti-oxidation film 24 as a mask thus forming an insulating selective oxidation film 28. On the other hand, the first semiconductor film 23 is etched using the anti-oxidation film 24 and a selective oxidation film 28 as a mask to leave the first semiconductor film 23, i.e., a floating gate, under the selective oxidation film 28.

Furthermore, a control gate 31 is formed at least above the selective oxidation film 28 and on the side part of the floating gate 29 through a second insulation film 30 thus forming impurity diffusion regions 32, 33 on the semiconductor layer 21. This method allows formation of a floating gate 29 having stabilized side face profile.



## LEGAL STATUS

[Date of request for examination] 17.09.1997

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3054523

[Date of registration] 07.04.2000

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

07.04.2006

\* NOTICES \*

JPO and INPIT are not responsible for any  
damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

---

## CLAIMS

---

[Claim(s)]

[Claim 1] The process which forms the first semi-conductor film (23) and oxidation-resistant film (24) through the first insulator layer (22) on a semi-conductor layer (21), The process which carries out patterning of said oxidation-resistant film (24), and forms opening (27), The process which uses said oxidation-resistant film (24) as a mask, oxidizes thermally the front face of said first semi-conductor film (22) exposed from said opening (27), and forms the insulating selective oxidation film (28), Use said oxidation-resistant film (24) and said selective oxidation film (28) as a mask, and said first semi-conductor film (23) is etched. The process which makes said first semi-conductor film (23) which remained under said selective oxidation film (28) the floating gate (29), At least to the flank of said floating gate (29), said selective oxidation film (28) top The manufacture approach of the semiconductor device characterized by having the process which forms the control gate (31) through the second insulator layer (30), and forms an impurity diffusion field (32 33) in said semi-conductor layer (21) in the both sides of said floating gate (29).

---

[Translation done.]

\* NOTICES \*

JPO and INPIT are not responsible for any  
damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

---

## DETAILED DESCRIPTION

---

[Detailed Description of the Invention]

[0001]

[Industrial Application] This invention relates to the manufacture approach of a semiconductor device of having SAMOS.

[0002]

[Description of the Prior Art] For example, as SAMOS (Stacked Gate Avalanche Metal Oxide Semiconductor) applied to EEPROM, as shown in drawing 10 The floating gate (3) is formed

through the first gate dielectric film (2) on a semi-conductor layer (1). Apply to a flank from moreover and the second gate dielectric film (4) and control gate (5) are formed. Furthermore, that by which the impurity diffusion field the source / for drains (6 7) was formed in the semi-conductor layer (1) in the both sides of the floating gate (3) and the control gate (5) is proposed.

[0003] It becomes like drawing 10 , and the selective oxidation film (8) with a thick center is formed in that upper part, consequently the sectional view of the direction of gate length of that floating gate (3) becomes acute [ the rising wood of the floating gate (3) ]. Moreover, the control gate (5) is formed in a field which covers the part of the acute angle. When eliminating memory in this component, a predetermined electrical potential difference is impressed to the control gate (5), and it is made to move the carrier accumulated in the floating gate (3) by the tunnel effect to the control gate (5) from that acute part.

[0004] Next, the production process of the SAMOS is explained based on drawing 6 - drawing 10 . first, a semi-conductor layer (1) top -- the first gate dielectric film (2), the polycrystal semi-conductor film (9), and SiN from -- after forming the becoming oxidation-resistant film (10), a photoresist (11) is applied on the oxidation-resistant film (10). And after exposing and developing a photoresist (11) and forming an aperture (12) in a gate field, the oxidation-resistant film (10) exposed from the aperture (12) is etched, and opening (13) is formed ( drawing 6 ).

[0005] Next, after removing a photoresist (11), as shown in drawing 7 , selective oxidation of the front face of the polycrystal semi-conductor film (9) exposed from opening (13) is carried out, and selective oxidation [LOCOS:Local Oxidation film of Silicon] (8) is formed. Then, as shown in drawing 8 , after removing the oxidation-resistant film (10), the selective oxidation film (8) is used as a mask, the polycrystal semi-conductor film (9) is etched, and the polycrystal semi-conductor film (9) is made to remain to a gate field, as shown in drawing 9 . The polycrystal semi-conductor layer (9) serves as the floating gate (3), and its cross section is [ the rising wood of the direction of gate length ] acute by the abbreviation ellipse-like selective oxidation film (8).

[0006] As an insulator layer and the second polycrystal semi-conductor layer are formed next, patterning of these is carried out and it is shown in drawing 10 Apply on one flank of the floating gate (3), and a semi-conductor layer (1), it is made to remain from on the selective oxidation film (8), and the control gate (5) is formed through the second insulator layer (4), further, an impurity is introduced into the front face of a semi-conductor layer (1), and an impurity diffusion field (6 7) is formed in it.

[0007]

[Problem(s) to be Solved by the Invention] However, according to the above-mentioned approach, the edge of the selective oxidation film (8) lengthens the skirt in the case of selective oxidation film (8) formation, and the thickness of rising wood is not stabilized. For this reason, if such selective oxidation film (8) is used as a mask and the polycrystal semi-conductor film (9) is etched, as the side-face configuration of the floating gate (3) formed as a result shows drawing 11 , it will stop becoming fixed and a processing dimension will become an ununiformity.

[0008] Therefore, the problem that the elimination property of SAMOS depending on the side-face configuration of the floating gate (3) is destabilized arises. In addition, drawing 11 is the perspective view of drawing 9 , and the B-B line sectional view of drawing 11 has become drawing 9 .

[0009]

[Means for Solving the Problem] This invention was made in view of the above-mentioned conventional fault, and forms the first semi-conductor film (23) and oxidation-resistant film (24) through the first insulator layer (22) on a semi-conductor layer (21). Carry out patterning of said oxidation-resistant film (24), and form opening (27) and said oxidation-resistant film (24) is used as a mask. Oxidize thermally the front face of said first semi-conductor film (23) exposed from said opening (27), and the insulating selective oxidation film (28) is formed. Use said oxidation-resistant film (24) and said selective oxidation film (28) as a mask, and said first semi-conductor film (23) is etched. Said first semi-conductor film (22) which remained under said selective oxidation film (28) is made into the floating gate (29). At least to the flank of said floating gate

(29), said selective oxidation film (28) top By forming the control gate (31) through the second insulator layer (30), and forming an impurity diffusion field (32 33) in said semi-conductor layer (21) in the both sides of said floating gate (29) The side-face configuration of the floating gate (29) becomes stability, and the manufacture approach of semiconductor devices, such as SAMOS which an elimination property stabilizes, is offered.

[0010]

[work ---] for The \*\* which does not remove the oxidation-resistant film (24) formed on the selective oxidation film (28) according to this invention, Since the selective oxidation film (28) and the oxidation-resistant film (24) are used as a mask of the etching process in the case of floating-gate (29) formation As compared with the conventional example for which the thickness of the side edge section used the unstable selective oxidation film (8) as a mask of an etching process, the side-face configuration of the floating gate (29) becomes homogeneity.

[0011] For this reason, the elimination property of the semiconductor device concerned depending on the side-face configuration of the floating gate (29) is stable as compared with the former.

[0012]

[Example] Then, the example of this invention is explained based on a drawing below. Drawing 1 - drawing 5 are the sectional views showing the process of one example of this invention. First, as shown in drawing 1 , dry oxidation of the top face of the semi-conductor layer (21) which consists of p-type silicon is carried out at the temperature of 1000 degrees C, and the first insulator layer (22) which consists of SiO<sub>2</sub> with a thickness of 500A is formed. The thickness of 2000A is grown up and followed with a reduced pressure CVD method next in the polycrystal semi-conductor film (23) which consists of silicon, and it is SiN. The becoming oxidation-resistant film (24) is grown up to be the thickness of 1000A.

[0013] Furthermore, after applying a resist (25) to the thickness of 1 micrometer, a resist (25) is exposed using a stepper, subsequently, this is developed and an aperture (26) is formed on a floating-gate field. Next, dry etching of the oxidation-resistant film (24) exposed from the aperture (26) is carried out, and opening (17) is formed. As the etching condition, while introducing CHF<sub>3</sub> and O<sub>2</sub> [ 25-sccm ] at a time into a reaction chamber (un-illustrating) 75 sccms as reactant gas, respectively, they are 70mTorr(s) about the pressure in it. It carries out.

[0014] Next, after removing a resist (25), the selective oxidation film (28) which consists of SiO<sub>2</sub> as carried out selective oxidation of the polycrystal semi-conductor film (23) of the front face of a crevice (28) and shown in drawing 2 is formed in the thickness of 1500-2000A. The selective oxidation film (28) becomes an abbreviation ellipse-like cross-section configuration. Furthermore, it is SiN as shown in drawing 3 . After etching and removing the natural oxidation film [un-illustrating] on the becoming oxidation-resistant film (24), the oxidation-resistant film (24) and the selective oxidation film under it (24) are used as a mask, anisotropic etching of the polycrystal semi-conductor film (23) is carried out perpendicularly, and the polycrystal semi-conductor film (23) is made to remain to a floating-gate field, as shown in drawing 3 . In this process, the oxidation-resistant film (24) is etched into coincidence, and is completely removed at the etching termination time.

[0015] As conditions which etch the natural oxidation film on the oxidation-resistant film (24) at the above-mentioned process, it is HBr, for example. HCl SF<sub>6</sub> 10 sccms, it introduces 5 sccms at a time into an etching chamber (un-illustrating), and they are 600mTorr(s) about the pressure of the ambient atmosphere 200 sccm, respectively. It is made extent, and it is etched for 90 seconds, using inter-electrode discharge power as 250w. Moreover, as conditions which etch the polycrystal semi-conductor film (23) which uses the oxidation-resistant film (24) and the selective oxidation film (28) as a mask, and consists of silicon, it is HBr, for example. HCl 20 sccms, it introduces 400 sccms at a time into an etching chamber, and they are 600mTorr(s) about the pressure of the ambient atmosphere, respectively. It is made extent, and it is etched for 95 seconds, using inter-electrode discharge power as 225w.

[0016] Make the polycrystal semi-conductor film (23) under the selective oxidation film (28) into the floating gate (30) by this, and let the first insulator layer under it (22) be gate dielectric film further. this floating gate -- as compared with the configuration of (floating-gate (3 [ drawing

11 ] in which that side-face configuration was formed by the conventional approach as 29) was shown in drawing 4 ), it is uniform. In addition, drawing 3 is the A-A line sectional view of drawing 4 .

[0017] Next, a process until it becomes the cross section shown in drawing 5 is explained. First, after growing up the second insulator layer (30) which consists of SiO<sub>2</sub>, and the second polycrystal semi-conductor film with a CVD method, patterning is carried out, and these are applied to the semi-conductor layer (21) one flank and near the floating gate (29), and are made to remain from on the selective oxidation film (28). Let the second polycrystal semi-conductor film by which patterning was carried out here be the control gate (32).

[0018] Then, n mold impurities, such as arsenic and phosphorus, are introduced into the semi-conductor layer (21) exposed to the method of both sides of the floating gate (29) and the control gate (31), and the impurity diffusion field (33 34) used as the source and a drain is formed. In the case of this impurity installation, an impurity is introduced into the control gate (31) and n mold is formed. As mentioned above, since it is etching at the etching process which forms the floating gate (29) by using the oxidation-resistant film (24) and the selective oxidation film (28) as a mask, as compared with the conventional approach that the thickness of the side edge section was etching by using the uneven selective oxidation film (8) as a mask, the side-face configuration of the floating gate (29) becomes homogeneity.

[0019] Thereby, the elimination property of SAMOS depending on the side-face configuration of the floating gate (29) is stable.

[0020]

[Effect of the Invention] Since it uses with the selective oxidation film (28) as a mask of the etching process in the case of floating-gate (29) formation according to this invention, without removing the oxidation-resistant film (24) as explained above, the side-face configuration of the floating gate (29) becomes homogeneity. Therefore, the elimination property of the semiconductor device concerned depending on the side-face configuration is stable as compared with the former.

---

[Translation done.]

\* NOTICES \*

JPO and INPIT are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.\*\*\*\* shows the word which can not be translated.

3.In the drawings, any words are not translated.

---

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the 1st sectional view for explaining the production process of one example of this invention.

[Drawing 2] It is the 2nd sectional view for explaining the production process of one example of this invention.

[Drawing 3] It is the 3rd sectional view for explaining the production process of one example of this invention.

[Drawing 4] It is a perspective view for explaining the production process of one example of this invention.

[Drawing 5] It is the 4th sectional view for explaining the production process of one example of

this invention.

[Drawing 6] It is the 1st sectional view for explaining the conventional example.

[Drawing 7] It is the 2nd sectional view for explaining the conventional example.

[Drawing 8] It is the 3rd sectional view for explaining the conventional example.

[Drawing 9] It is the 4th sectional view for explaining the conventional example.

[Drawing 10] It is the 5th sectional view for explaining the conventional example.

[Drawing 11] It is a perspective view for explaining the trouble of the conventional example.

---

[Translation done.]

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平7-122656

(43)公開日 平成7年(1995)5月12日

(51)Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L	21/8247			
	29/788			
	29/792			
		H 0 1 L	29/ 78	3 7 1
		審査請求	未請求	請求項の数 1 O L (全 5 頁)

(21)出願番号 特願平5-264952

(22)出願日 平成5年(1993)10月22日

(71)出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(72)発明者 坂村 正二

大阪府守口市京阪本通2丁目5番5号三洋  
電機株式会社内

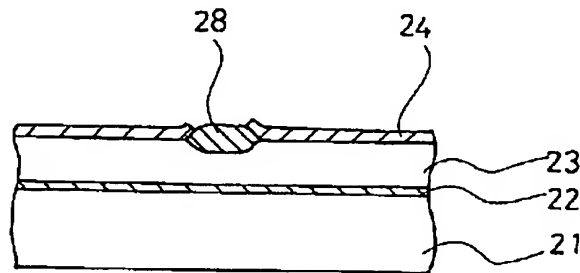
(74)代理人 弁理士 西野 卓嗣

(54)【発明の名称】 半導体装置の製造方法

(57)【要約】

【目的】SAMOSを有する半導体装置の製造方法の改善に関する。

【構成】半導体層(21)の上に第一の絶縁膜(22)を介して第一の半導体膜(23)と酸化防御膜(24)を形成し、酸化防御膜(24)をパターニングして開口(27)を形成し、酸化防御膜(24)をマスクにして、開口(27)から露出した第一の半導体膜(23)の表面を熱酸化して絶縁性の選択酸化膜(28)を形成し、酸化防御膜(24)及び選択酸化膜(28)をマスクにして第一の半導体膜(23)をエッチングし、選択酸化膜(28)の下に残存した第一の半導体膜(22)をフローティングゲート(29)とし、少なくとも選択酸化膜(28)の上とフローティングゲート(29)の側部に、第二の絶縁膜(30)を介してコントロールゲート(31)を形成し、フローティングゲート(29)の両側にある半導体層(21)に不純物拡散領域(32, 33)を形成すること。



28:選択酸化膜

1

2

## 【特許請求の範囲】

【請求項1】半導体層(21)の上に第一の絶縁膜(22)を介して第一の半導体膜(23)と耐酸化性膜(24)を形成する工程と、

前記耐酸化性膜(24)をパターニングして開口(27)を形成する工程と、

前記耐酸化性膜(24)をマスクにして、前記開口(27)から露出した前記第一の半導体膜(22)の表面を熱酸化して絶縁性の選択酸化膜(28)を形成する工程と、

前記耐酸化性膜(24)及び前記選択酸化膜(28)をマスクにして前記第一の半導体膜(23)をエッチングし、前記選択酸化膜(28)の下に残存した前記第一の半導体膜(23)をフローティングゲート(29)とする工程と、

少なくとも前記選択酸化膜(28)の上と前記フローティングゲート(29)の側部に、第二の絶縁膜(30)を介してコントロールゲート(31)を形成し、前記フローティングゲート(29)の両側にある前記半導体層(21)に不純物拡散領域(32, 33)を形成する工程とを有することを特徴とする半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、SAMOSを有する半導体装置の製造方法に関する。

## 【0002】

【従来の技術】例えばEEPROMに適用されているSAMOS(Stacked Gate Avalanche Metal Oxide Semiconductor)として、図10に示すように、半導体層(1)の上に第一のゲート絶縁膜(2)を介してフローティングゲート(3)が形成され、その上から側部にかけて第二のゲート絶縁膜(4)及びコントロールゲート(5)が形成され、さらに、フローティングゲート(3)とコントロールゲート(5)の両側にある半導体層(1)にソース/ドレイン用の不純物拡散領域(6, 7)が形成されたものが提案されている。

【0003】そのフローティングゲート(3)のゲート長方向の断面図は図10のようになり、その上部には中央が厚い選択酸化膜(8)が形成され、この結果、フローティングゲート(3)の上縁部が尖鋭となる。また、コントロールゲート(5)はその鋭角の部分に覆うような領域に形成されている。この素子においてメモリを消去する時には、所定の電圧をコントロールゲート(5)に印加し、トンネル効果によってフローティングゲート(3)に蓄積されたキャリアをその尖鋭部分からコントロールゲート(5)に移動させるようにする。

【0004】次に、そのSAMOSの製造工程を、図6～図10に基づいて説明する。まず、半導体層(1)の上に、第一のゲート絶縁膜(2)、多結晶半導体膜(9)、SiNからなる耐酸化性膜(10)を形成した後

に、その耐酸化性膜(10)の上にフォトリソ(11)を塗布する。そして、フォトリソ(11)を露光、現像してゲート領域に窓(12)を形成した後に、その窓(12)から露出した耐酸化性膜(10)をエッチングし、開口(13)を形成する(図6)。

【0005】次に、フォトリソ(11)を除去した後に、図7に示すように、開口(13)から露出した多結晶半導体膜(9)の表面を選択酸化して選択酸化膜[LOCOS:Local Oxidation of Silicon](8)を形成する。続いて、図8に示すように耐酸化性膜(10)を除去した後に、選択酸化膜(8)をマスクにして多結晶半導体膜(9)をエッチングし、その多結晶半導体膜(9)を図9に示すようにゲート領域に残存させる。その多結晶半導体層(9)は、フローティングゲート(3)となり、そのゲート長方向の上縁部は、断面が略楕円状の選択酸化膜(8)によって尖鋭となっている。

【0006】この後に、絶縁膜と第二の多結晶半導体層を形成し、これらをパターニングして、図10に示すように、選択酸化膜(8)の上からフローティングゲート(3)の側部と半導体層(1)の上にかけて残存させ、第二の絶縁膜(4)を介してコントロールゲート(5)を形成し、さらに、半導体層(1)の表面に不純物を導入して不純物拡散領域(6, 7)を形成する。

## 【0007】

【発明が解決しようとする課題】しかしながら、上記方法によると、選択酸化膜(8)形成の際に選択酸化膜(8)のエッジがすそを引き、上縁部の膜厚が安定しない。このため、このような選択酸化膜(8)をマスクにして多結晶半導体膜(9)をエッチングすると、その結果形成されるフローティングゲート(3)の側面形状が図11に示すように一定にならなくなり、加工寸法が不均一になる。

【0008】よって、フローティングゲート(3)の側面形状に依存するSAMOSの消去特性が不安定化になるという問題が生じる。なお、図11は図9の斜視図であって、図11のB-B線断面図が図9になっている。

## 【0009】

【課題を解決するための手段】本発明は上記従来の欠点に鑑みてなされたもので、半導体層(21)の上に第一の絶縁膜(22)を介して第一の半導体膜(23)と耐酸化性膜(24)を形成し、前記耐酸化性膜(24)をパターニングして開口(27)を形成し、前記耐酸化性膜(24)をマスクにして、前記開口(27)から露出した前記第一の半導体膜(23)の表面を熱酸化して絶縁性の選択酸化膜(28)を形成し、前記耐酸化性膜(24)及び前記選択酸化膜(28)をマスクにして前記第一の半導体膜(23)をエッチングし、前記選択酸化膜(28)の下に残存した前記第一の半導体膜(22)をフローティングゲート(29)とし、少なくとも



前記選択酸化膜(28)の上と前記フローティングゲート(29)の側部に、第二の絶縁膜(30)を介してコントロールゲート(31)を形成し、前記フローティングゲート(29)の両側にある前記半導体層(21)に不純物拡散領域(32, 33)を形成することにより、フローティングゲート(29)の側面形状が安定になり、消去特性が安定化するSAMOSなどの半導体装置の製造方法を提供するものである。

#### 【0010】

【作 用】本発明によれば、選択酸化膜(28)の上に形成された耐酸化性膜(24)を除去せずに、フローティングゲート(29)形成の際のエッチング工程のマスクとして選択酸化膜(28)と耐酸化性膜(24)とを用いているので、側端部の膜厚が不安定な選択酸化膜(8)のみをエッチング工程のマスクとして用いていた従来例に比して、フローティングゲート(29)の側面形状が均一になる。

【0011】このため、フローティングゲート(29)の側面形状に依存する当該半導体装置の消去特性が従来に比して安定化する。

#### 【0012】

【実施例】そこで、以下に本発明の実施例を図面に基づいて説明する。図1～図5は、本発明の一実施例の工程を示す断面図である。まず、図1に示すように、p型シリコンよりなる半導体層(21)の上面を温度1000℃でドライ酸化し、厚さ500ÅのSiO<sub>2</sub>よりなる第一の絶縁膜(22)を形成する。この後に、減圧CVD法によって、シリコンよりなる多結晶半導体膜(23)を2000Åの厚さに成長し、続いてSiNよりなる耐酸化性膜(24)を1000Åの厚さに成長する。

【0013】さらに、レジスト(25)を1μmの厚さに塗布した後に、ステッパーを使用してレジスト(25)を露光し、ついで、これを現像してフローティングゲート領域の上に窓(26)を形成する。次に、窓(26)から露出した耐酸化性膜(24)をドライエッチングして開口(17)を形成する。そのエッチング条件として、例えば、反応ガスとしてCHF<sub>3</sub>とO<sub>2</sub>をそれぞれ75sccm、25sccmずつ反応室(不図示)に導入するとともに、その中の圧力を70mTorrとする。

【0014】次に、レジスト(25)を除去した後に、凹部(28)の表面の多結晶半導体膜(23)を選択酸化して図2に示すようなSiO<sub>2</sub>よりなる選択酸化膜(28)を1500～2000Åの厚さに形成する。その選択酸化膜(28)は、略楕円状の断面形状になる。さらに、図3に示すように、SiNよりなる耐酸化性膜(24)上の自然酸化膜〔不図示〕をエッチング・除去したのちに、耐酸化性膜(24)及びその下の選択酸化膜(24)をマスクにして多結晶半導体膜(23)を垂直方向に異方性エッチングし、その多結晶半導体膜(23)を図3に示すようにフローティングゲート領域に残

存させる。この工程においては耐酸化性膜(24)も同時にエッチングされ、エッチング終了時点では完全に除去されている。

【0015】上記工程で耐酸化性膜(24)上の自然酸化膜をエッチングする条件としては、例えばHBrとHClとSF<sub>6</sub>をそれぞれ10sccm、200sccm、5sccmずつエッチングチャンバ(不図示)に導入し、その雰囲気圧力を600mTorr程度にし、電極間の放電電力を250wとして90秒間エッチングする。また、耐酸化性膜(24)及び選択酸化膜(28)をマスクにしてシリコンよりなる多結晶半導体膜(23)をエッチングする条件としては、例えばHBrとHClをそれぞれ20sccm、400sccmずつエッチングチャンバに導入し、その雰囲気圧力を600mTorr程度にし、電極間の放電電力を225wとして95秒間エッチングする。

【0016】これにより選択酸化膜(28)の下の多結晶半導体膜(23)をフローティングゲート(30)とし、さらにその下の第一の絶縁膜(22)をゲート絶縁膜とする。このフローティングゲート(29)は、図4に示すように、その側面形状が従来の方法で形成されたフローティングゲート(3)〔図11〕の形状に比して均一である。なお、図3は図4のA-A線断面図である。

【0017】次に、図5に示す断面となるまでの工程を説明する。まず、SiO<sub>2</sub>よりなる第二の絶縁膜(30)と、第二の多結晶半導体膜をCVD法により成長した後に、これらを、パターニングして、選択酸化膜(28)の上からフローティングゲート(29)の一側部とその近傍の半導体層(21)にかけて残存させる。ここでパターニングされた第二の多結晶半導体膜をコントロールゲート(32)とする。

【0018】続いて、フローティングゲート(29)とコントロールゲート(31)の両側方に露出している半導体層(21)に砒素、リン等のn型不純物を導入して、ソース、ドレインとなる不純物拡散領域(33, 34)を形成する。この不純物導入の際にはコントロールゲート(31)にも不純物が導入されてn型化する。以上のように、フローティングゲート(29)を形成するエッチング工程で、耐酸化性膜(24)及び選択酸化膜(28)をマスクにしてエッチングしているため、側端部の膜厚が不均一な選択酸化膜(8)をマスクにしてエッチングしていた従来方法に比して、フローティングゲート(29)の側面形状が均一になる。

【0019】これにより、フローティングゲート(29)の側面形状に依存するSAMOSの消去特性が安定化する。

#### 【0020】

【発明の効果】以上に説明した通り、本発明によれば耐酸化性膜(24)を除去せずに、フローティングゲート(29)形成の際のエッチング工程のマスクとして選択

酸化膜(28)とともに用いているので、フローティングゲート(29)の側面形状が均一になる。よって、その側面形状に依存する当該半導体装置の消去特性が従来に比して安定化する。

【図面の簡単な説明】

【図1】本発明の一実施例の製造工程を説明するための第1の断面図である。

【図2】本発明の一実施例の製造工程を説明するための第2の断面図である。

【図3】本発明の一実施例の製造工程を説明するための第3の断面図である。

【図4】本発明の一実施例の製造工程を説明するための

斜視図である。

【図5】本発明の一実施例の製造工程を説明するための第4の断面図である。

【図6】従来例を説明するための第1の断面図である。

【図7】従来例を説明するための第2の断面図である。

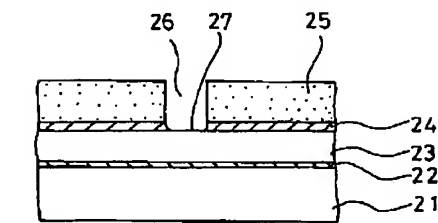
【図8】従来例を説明するための第3の断面図である。

【図9】従来例を説明するための第4の断面図である。

【図10】従来例を説明するための第5の断面図である。

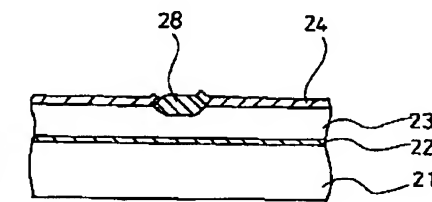
【図11】従来例の問題点を説明するための斜視図である。

【図1】



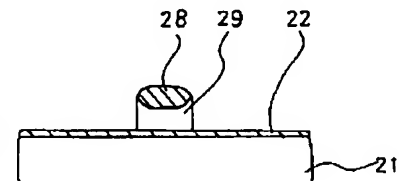
21: 半導体層  
22: 第1の絶縁膜  
23: 多結晶半導体膜  
24: 耐酸化性膜  
25: レジスト  
26: 窓  
27: 開口

【図2】



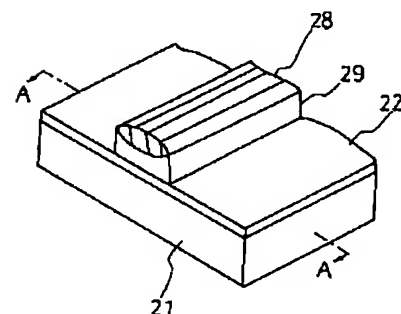
28: 選択酸化膜

【図3】

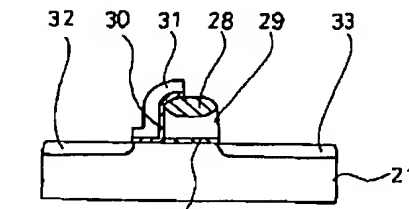


29: フローティングゲート

【図4】

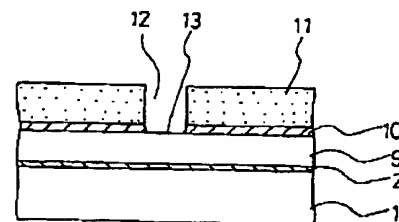


【図5】



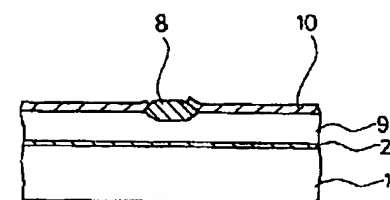
30: 第2の絶縁膜  
31: コントロールゲート  
32, 33: 不揮発記憶領域

【図6】



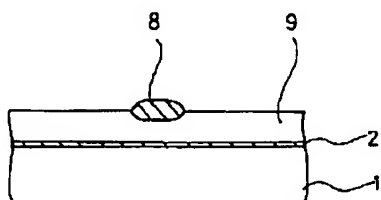
1: 半導体層  
2: 第1のゲート絶縁膜  
9: 多結晶半導体膜  
10: 耐酸化性膜  
11: フォトリソ  
12: 窓  
13: 開口

【図7】



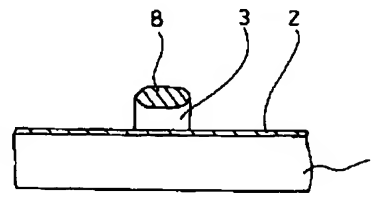
8: 選択酸化膜

【図8】

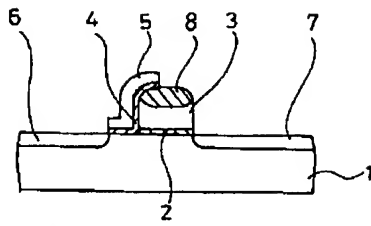


3: フローティングゲート

【図9】



【図10】



- |               |               |
|---------------|---------------|
| 1: 半導体層       | 2: 第1のゲート絶縁膜  |
| 3: フローティングゲート | 4: 第2のゲート絶縁膜  |
| 5: コントロールゲート  | 6, 7: 不純物拡散領域 |
| 8: 選択酸化膜      |               |

【図11】

